

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-211902

(43)Date of publication of application : 11.08.1995

(51)Int.Cl.

H01L 29/78
H01L 21/265

(21)Application number : 06-017757 (71)Applicant : SONY CORP

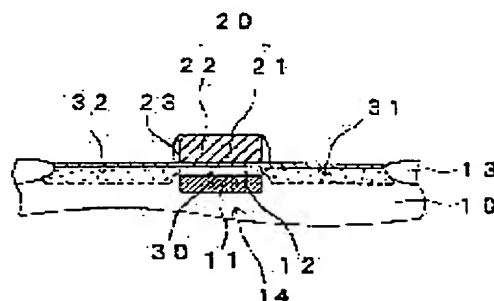
(22)Date of filing : 19.01.1994 (72)Inventor : HAYAKAWA KOICHI
IKEDA TADASHI

(54) MIS TYPE TRANSISTOR AND ITS MANUFACTURE

(57)Abstract:

PURPOSE: To provide an MIS type transistor which can be improved in both punch-through and sub-threshold properties and has an excellent heat radiating property and in which majority carriers are hardly accumulated and the manufacturing method of the transistor.

CONSTITUTION: In an MIS type transistor formed on the surface of a semiconductor substrate 10, an insulating or semi-insulating layer is only formed below a channel area 30. The manufacturing method of the MIS type transistor in which a source area, channel area, and drain area are formed on the surface of the semiconductor substrate and a gate electrode area is formed on the channel area includes a process in which the insulating layer is only formed below the area proposed for the formation of the channel area.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision
of rejection][Kind of final disposal of application
other than the examiner's decision of
rejection or application converted
registration]

[Date of final disposal for application]

[Patent number]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平7-211902

(43)公開日 平成7年(1995)8月11日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/78 21/265		7514-4M	H 0 1 L 29/ 78 21/ 265	3 0 1 H J A
審査請求 未請求 請求項の数18 F D (全 15 頁)				

(21)出願番号 特願平6-17757

(22)出願日 平成6年(1994)1月19日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 早川 康一

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

(72)発明者 池田 直史

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

(74)代理人 弁理士 山本 孝久

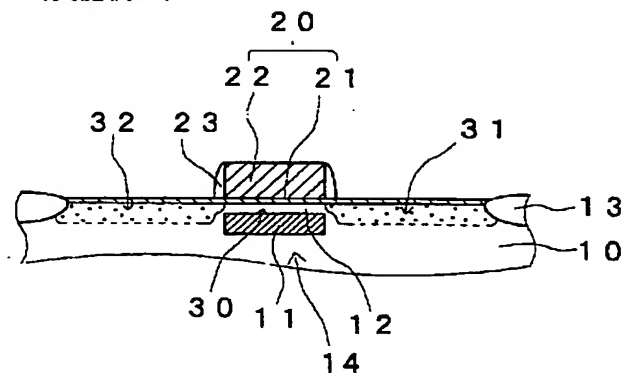
(54)【発明の名称】 M I S型トランジスタ及びその作製方法

(57)【要約】

【目的】 バンチスルー特性とサブスレッショルド特性の両方を向上させることができ、しかも、放熱性に優れ、チャンネル内マジョリティーキャリアが蓄積され難いM I S型トランジスタ及びその作製方法を提供する。

【構成】 半導体基板10の表面に形成されたM I S型トランジスタは、チャンネル領域30の下方にのみ絶縁層11又は半絶縁層が形成されている。半導体基板表面にソース領域、チャンネル領域及びドレイン領域が形成され、チャンネル領域の上にはゲート電極領域が形成されたM I S型トランジスタの作製方法は、チャンネル領域形成予定領域の下方にのみS I M O X法によって絶縁層を形成する工程を含む。

(実施例1)



【特許請求の範囲】

【請求項1】半導体基板表面に形成されたMIS型トランジスタであって、チャンネル領域の下方にのみ絶縁層又は半絶縁層が形成されていることを特徴とするMIS型トランジスタ。

【請求項2】前記絶縁層又は半絶縁層が、ソース領域の一部にまで更に延びていることを特徴とする請求項1に記載のMIS型トランジスタ。

【請求項3】前記絶縁層又は半絶縁層が、ドレイン領域の一部にまで更に延びていることを特徴とする請求項1に記載のMIS型トランジスタ。

【請求項4】前記絶縁層又は半絶縁層が、ソース領域の一部及びドレイン領域の一部にまで更に延びていることを特徴とする請求項1に記載のMIS型トランジスタ。

【請求項5】ソース領域とドレイン領域との外縁領域並びにチャンネル領域に、ソース領域及びドレイン領域の導電型とは反対の導電型を有する低抵抗領域が形成されていることを特徴とする請求項1乃至請求項4のいずれか1項に記載のMIS型トランジスタ。

【請求項6】前記絶縁層又は半絶縁層は、チャンネル領域と空乏層との境界領域に形成されていることを特徴とする請求項1乃至請求項5のいずれか1項に記載のMIS型トランジスタ。

【請求項7】半導体基板表面に形成されたMIS型トランジスタであって、ソース領域及びドレイン領域の下方にのみ絶縁層が形成されていることを特徴とするMIS型トランジスタ。

【請求項8】絶縁層がチャンネル領域の一部にまで更に延びていることを特徴とする請求項7に記載のMIS型トランジスタ。

【請求項9】半導体基板表面にソース領域、チャンネル領域及びドレイン領域が形成され、該チャンネル領域の上にはゲート電極領域が形成されたMIS型トランジスタの作製方法であって、チャンネル領域形成予定領域の下方にのみSIMOX法によって絶縁層を形成する工程を含むことを特徴とするMIS型トランジスタの作製方法。

【請求項10】半導体基板表面にソース領域、チャンネル領域及びドレイン領域が形成され、該チャンネル領域の上にはゲート電極領域が形成されたMIS型トランジスタの作製方法であって、半導体基板に不純物をドーピングし、半導体基板の表面から一定の深さの所に半絶縁層を形成する工程と、ソース領域形成予定領域及びドレイン領域形成予定領域に不純物のイオン注入を行い、ソース領域及びドレイン領域を形成する工程、を含むことを特徴とするMIS型トランジスタの作製方法。

【請求項11】半導体基板の表面から一定の深さの所に半絶縁層を形成するための不純物のドーピングにおいては、深い準位を形成する不純物を用い、

ソース領域及びドレイン領域を形成するためのイオン注入においては、前記深い準位を形成する不純物の濃度よりも高い濃度でドナー又はアクセプターをドーピングすることを特徴とする請求項10に記載のMIS型トランジスタの作製方法。

【請求項12】前記絶縁層又は半絶縁層を、ソース領域の一部にまで更に形成することを特徴とする請求項9、請求項10又は請求項11に記載のMIS型トランジスタの作製方法。

【請求項13】前記絶縁層又は半絶縁層を、ドレイン領域の一部にまで更に形成することを特徴とする請求項9、請求項10又は請求項11に記載のMIS型トランジスタの作製方法。

【請求項14】前記絶縁層又は半絶縁層を、ソース領域の一部及びドレイン領域の一部にまで更に形成することを特徴とする請求項9、請求項10又は請求項11に記載のMIS型トランジスタの作製方法。

【請求項15】ソース領域及びドレイン領域並びにゲート電極領域を形成する前に、ソース領域形成予定領域とドレイン領域形成予定領域との外縁領域並びにチャンネル領域形成予定領域に、ソース領域及びドレイン領域の導電型とは反対の導電型を有する低抵抗領域を形成することを特徴とする請求項9乃至請求項14のいずれか1項に記載のMIS型トランジスタの作製方法。

【請求項16】前記絶縁層又は半絶縁層を、チャンネル領域と空乏層との境界領域に形成することを特徴とする請求項9乃至請求項15のいずれか1項に記載のMIS型トランジスタの作製方法。

【請求項17】半導体基板表面にソース領域、チャンネル領域及びドレイン領域が形成され、該チャンネル領域の上にはゲート電極領域が形成されたMIS型トランジスタの作製方法であって、ソース領域形成予定領域及びドレイン領域形成予定領域の下方にのみSIMOX法によって絶縁層を形成する工程を含むことを特徴とするMIS型トランジスタの作製方法。

【請求項18】絶縁層を、チャンネル領域の一部にまで更に形成することを特徴とする請求項17に記載のMIS型トランジスタの作製方法。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】本発明は、MIS型トランジスタ及びその作製方法に関する。

【0002】

【従来の技術】模式的な一部断面図を図13の(A)に示す従来のプレーナ技術に基づいた通常のMIS型トランジスタは、半導体基板10の表面に形成された薄いゲート酸化膜21及びゲート電極22から成るゲート電極領域20、ゲート電極領域20の一方の側に形成されたソース領域31、並びにゲート電極領域20の他方の側

に形成されたドレイン領域32から構成されている。そして、ソース領域31から注入されたキャリアは、ゲート電極領域20直下のチャネル領域30を通過し、ドレイン領域32に到達する。ドレイン領域32に到達するキャリアは、通常、ゲート電極領域20に印加されるゲート電圧によって制御される。尚、図中、参照番号13は素子分離領域、14はウェル、23はゲートサイドウォールである。

【0003】昨今のデバイス微細化技術の進歩に伴い、ゲート電極幅が縮小化され、ドレイン電圧がソース領域31にまで直接影響を与えるに至っている。特に、半導体基板表面から深いチャネル領域の部分においては、ゲート電圧ではなくドレイン電圧が支配的になる。そのため、ゲート電圧で制御できない電流がソース領域31からドレイン領域32へと流れる、所謂パンチスルー現象が避けられなくなっている。

【0004】また、MIS型トランジスタの特性値の1つに、S値と呼ばれるサブスレッショルド係数がある。MIS型トランジスタの動作電圧を低電圧化するためには、ゲート電圧の小さい変化でドレイン電流を大きく変化させる必要がある。そのためには、S値を小さくする必要がある。S値は次の式で表わすことができる。

$$S = (k_B \cdot T / q) \log_{10} (1 + C_D / C_{OX})$$

但し、 k_B はボルツマン定数、 T は絶対温度、 q は電子の電荷、 C_D は空乏層容量、 C_{OX} はゲート酸化膜の容量である。

【0005】

【発明が解決しようとする課題】このように、S値はチャネル領域30の空乏層容量（チャネル容量） C_D に依存し、空乏層容量 C_D が小さいほどS値も小さくなる。通常の構造を有するMIS型トランジスタにおいては、パンチスルー特性を改善するために、チャネル領域30下部の不純物濃度を高くしている。しかしながら、このようにチャネル領域30下部の不純物濃度を高くすると、空乏層幅が薄くなる。その結果、空乏層容量 C_D が大きくなり、S値が増加し、サブスレッショルド特性が低下するという問題がある。従って、パンチスルー特性の向上とサブスレッショルド特性の向上を同時に達成することは、極めて困難である。

【0006】図14に遅延時間とドレイン面積の関係を示す。ドレイン面積、即ち接合容量（寄生容量）が増加するに従い、遅延時間が増大する。尚、ゲート電極の幅 L を $0.1\mu m$ 、 V_{DD} を $2.5V$ とした。回路シミュレーションによる遅延時間の要因分析を行ったところ、接合容量が遅延時間発生要因の約50%をも占めている。従って、半導体素子の高速化を図るためには、接合容量（寄生容量）を低減することが不可欠である。

【0007】半導体素子の微細化に伴い、ソース・ドレイン領域においては浅い接合が要求される。通常の熱処理ではドーパントの拡散によって接合が深くなるため、

現状では、ランプアニールやレーザアニールを行っているが、より安定した品質の浅い結合の形成が望まれている。

【0008】これらの特性を同時に向上させるための手段の1つとして、SOI（Semiconductor On Insulator）構造が提案されている。SOI構造を有するMIS型トランジスタの構造の模式的な一部断面図を、図13の（B）に示す。図13の（B）中、参照番号80は絶縁層であり、81は絶縁層80上に形成された半導体層である。この半導体層81に、チャネル領域30、ソース領域31、ドレイン領域32が形成されている。また、半導体層81上にゲート酸化膜21及びゲート電極22が形成されている。SOI構造を採用することによって、図13の（A）に示した通常のMIS型トランジスタで問題とされるパンチスルー特性の向上を図ることができる。また、接合容量を非常に小さくすることができ、サブスレッショルド特性の向上も同時に図ることができる。

【0009】しかしながら、SOI構造においては、トランジスタが絶縁層80によって半導体基板10から完全に隔離されているために、放熱性が悪く、トランジスタが蓄熱し易いという問題がある。また、チャネル領域30にチャネル内マジョリティーキャリア（電流を伝えるキャリアと逆の導電型を有するキャリア）が蓄積され易いという問題がある。チャネル内マジョリティーキャリアが蓄積されると、所謂寄生バイポーラ効果によって様々な問題が生じる。例えば、電圧電流特性にキックが発生し、ソース・ドレイン耐圧が減少する。

【0010】従って、本発明の目的は、パンチスルー特性とサブスレッショルド特性の両方を向上させることができ、しかも、放熱性に優れ、チャネル内マジョリティーキャリアが蓄積され難く、寄生バイポーラ効果が生じ難いMIS型トランジスタ及びその作製方法を提供することにある。

【0011】

【課題を解決するための手段】上記の目的は、半導体基板表面に形成されたMIS型トランジスタであって、チャネル領域の下方にのみ絶縁層又は半絶縁層が形成されていることを特徴とする本発明の第1の態様に係るMIS型トランジスタによって達成することができる。

【0012】本発明の第1の態様に係るMIS型トランジスタにおいては、絶縁層又は半絶縁層は、ソース領域の一部にまで更に延びていてもよいし、ドレイン領域の一部にまで更に延びていてもよいし、更には、ソース領域の一部及びドレイン領域の一部にまで更に延びていてもよい。

【0013】また、ソース領域とドレイン領域との外縁領域並びにチャネル領域に、ソース領域及びドレイン領域の導電型とは反対の導電型を有する低抵抗領域を形成することもできる。これによって、チャネル内マジョリ

ティーキャリアを効果的に排出することができる。

【0014】チャネル領域と空乏層との境界領域に、絶縁層又は半絶縁層が形成されていることが好ましい。具体的には、この境界領域は、ゲート長 $0.35\mu\text{m}$ のMISFETに対して、半導体基板表面から例えば 40 乃至 120nm の深さの所に形成することが望ましい。

【0015】上記の目的は、半導体基板表面にソース領域、チャネル領域及びドレイン領域が形成され、チャネル領域の上にはゲート電極領域が形成されたMIS型トランジスタの作製方法であって、チャネル領域形成予定領域の下方にのみSIMOX (Separation by Implanted Oxygen) 法によって絶縁層を形成する工程を含むことを特徴とする本発明の第1の態様に係るMIS型トランジスタの作製方法によって達成することができる。

【0016】更に、上記の目的は、半導体基板表面にソース領域、チャネル領域及びドレイン領域が形成され、チャネル領域の上にはゲート電極領域が形成されたMIS型トランジスタの作製方法であって、半導体基板に不純物をドーブし、半導体基板の表面から一定の深さの所に半絶縁層を形成する工程と、ソース領域形成予定領域及びドレイン領域形成予定領域に不純物のイオン注入を行い、ソース領域及びドレイン領域を形成する工程、を含むことを特徴とする本発明の第2の態様に係るMIS型トランジスタの作製方法によって達成することができる。

【0017】本発明の第2の態様に係るMIS型トランジスタの作製方法にあつては、半導体基板の表面から一定の深さの所に半絶縁層を形成するための不純物のドーブにおいては、深い準位を形成する不純物を用い、ソース領域及びドレイン領域を形成するためのイオン注入においては、深い準位を形成する不純物の濃度よりも高い濃度でドナー又はアクセプターをドーブすることが好ましい。

【0018】また、本発明の第1若しくは第2の態様に係るMIS型トランジスタの作製方法においては、絶縁層又は半絶縁層を、ソース領域の一部にまで更に形成することができ、あるいは、ドレイン領域の一部にまで更に形成することができ、更にはまた、ソース領域の一部及びドレイン領域の一部にまで更に形成することができる。

【0019】本発明の第1若しくは第2の態様に係るMIS型トランジスタの作製方法においては、ソース領域及びドレイン領域並びにゲート電極領域を形成する前に、ソース領域形成予定領域とドレイン領域形成予定領域との外縁領域並びにチャネル領域形成予定領域に、ソース領域及びドレイン領域の導電型とは反対の導電型を有する低抵抗領域を形成することができる。

【0020】絶縁層又は半絶縁層を、チャネル領域と空乏層との境界領域に形成することが好ましい。

【0021】上記の目的は、半導体基板表面に形成され

たMIS型トランジスタであつて、ソース領域及びドレイン領域の下方にのみ絶縁層が形成されていることを特徴とする本発明の第2の態様に係るMIS型トランジスタによって達成することができる。

【0022】本発明の第2の態様に係るMIS型トランジスタにおいては、絶縁層をチャネル領域の一部にまで更に延ばしてもよい。

【0023】上記の目的は、半導体基板表面にソース領域、チャネル領域及びドレイン領域が形成され、チャネル領域の上にはゲート電極領域が形成されたMIS型トランジスタの作製方法であって、ソース領域形成予定領域及びドレイン領域形成予定領域の下方にのみSIMOX法によって絶縁層を形成する工程を含むことを特徴とする本発明の第3の態様に係るMIS型トランジスタの作製方法によって達成することができる。

【0024】この本発明の第3の態様に係るMIS型トランジスタの作製方法においては、絶縁層を、チャネル領域の一部にまで更に形成してもよい。

【0025】

【作用】通常の構造を有するMIS型トランジスタにおいてパンチスルー現象が発生する領域は、半導体基板の表面から深さ数十 nm 乃至約 100nm に位置するチャネル領域の部分である。本発明の第1の態様に係るMIS型トランジスタにおいては、概ねこのチャネル領域の部分に絶縁層又は半絶縁層が形成されているので、チャネル領域の深部に流れる電流を抑制することができ、その結果、パンチスルー特性を向上させることができる。また、チャネル領域の下方に形成された絶縁層又は半絶縁層にはキャリアが侵入することがなく、その結果、チャネル領域の下方における空乏層幅が広くなり、空乏層容量 C_D が減少し、サブスレッショルド特性の向上を図ることができる。

【0026】しかも、キャリアの移動、侵入を妨げる絶縁層又は半絶縁層は概ねチャネル領域の下方に存在しているだけであるため、熱やチャネル内マジョリティーキャリアはソース領域若しくはドレイン領域を介して半導体基板に流れ込む。従つて、SOI構造における問題点を回避することができる。

【0027】半絶縁層を形成した場合、絶縁層を形成した場合と比較して、一般的にはリーク電流が大きくなるものの、ホットエレクトロンが抜け易くなり、熱伝導性が良くなる。従つて、MIS型トランジスタの動作が安定し、しかも設計の自由度が高くなる。要するに、MIS型トランジスタの用途に応じて、絶縁層あるいは半絶縁層を形成すればよい。

【0028】また、本発明の第2の態様に係るMIS型トランジスタにおいては、ソース領域及びドレイン領域の下方に絶縁層が形成されているので、浅い結合を形成でき、しかも、接合容量(寄生容量)の低減を図ることができる。また、チャネル領域において半導体基板と導

通がとれているので、SOI構造における寄生バイポーラ効果の問題を回避することができる。

【0029】

【実施例】以下、図面を参照して、実施例に基づき本発明を説明する。尚、実施例1～実施例5で説明する本発明の第1の態様に係るMIS型トランジスタは、本発明の第1の態様に係るMIS型トランジスタの作製方法によって作製され、実施例6～実施例8で説明する本発明の第1の態様に係るMIS型トランジスタは、本発明の第2の態様に係るMIS型トランジスタの作製方法によって作製される。また、実施例9にて説明する本発明の第2の態様に係るMIS型トランジスタは、本発明の第3の態様に係るMIS型トランジスタの作製方法によって作製される。

【0030】（実施例1）実施例1のMIS型トランジスタの模式的な一部断面図を図1に示す。実施例1のMIS型トランジスタは、本発明の第1の態様に係るMIS型トランジスタである。このMIS型トランジスタは、半導体基板10の表面に形成されており、チャンネル領域30の下方にのみ絶縁層11が形成されている。絶縁層11はSiO₂から成る。絶縁層11は、チャンネル領域と空乏層との境界領域に形成されていることが望ましく、具体的には、例えばゲート長0.35μmのMISFETの場合、半導体基板10の表面から深さ40乃至120nmの所に形成されていることが好ましい。実施例1においては、絶縁層11は、ソース領域31及びドレイン領域32には延びていない。

【0031】MIS型トランジスタは、更に、半導体基板10の表面に形成された薄いゲート酸化膜21及びゲート電極22から成るゲート電極領域20、ゲート電極領域20の一方の側に形成されたソース領域31、並びにゲート電極領域20の他方の側に形成されたドレイン領域32から構成されている。ソース領域31から注入されたキャリアは、ゲート電極領域20の下方のチャンネル領域30を通過し、ドレイン領域32に到達する。ドレイン領域32に到達するキャリアは、通常ゲート電極領域20に印加されるゲート電圧によって制御される。尚、図中、参照番号14はウェルであり、参照番号23はLDD構造を構成するゲートサイドウォールであり、ゲート電極領域20の側壁に形成され、SiO₂から成る。

【0032】以下、半導体基板等の模式的な一部断面図である図2及び図3を参照して、実施例1のMIS型トランジスタの作製方法を説明する。このMIS型トランジスタの作製方法は、基本的には、本発明の第1の態様のMIS型トランジスタの作製方法である。

【0033】〔工程-100〕先ず、予めウェル14が形成されたシリコン基板から成る半導体基板10のチャンネル領域形成予定領域の下方にのみSIMOX法によって絶縁層11を形成する。そのために、半導体基板10

の表面に、通常の写真リソグラフィ技術によってマスク60を形成する（図2の（A）参照）。マスク60には開口部61が形成されており、この開口部61は半導体基板10のチャンネル領域形成予定領域に相当する部分の上に形成されている。マスク60は、熱酸化法やCVD法にて形成された二酸化シリコン、窒化シリコン、ポリシリコン等から構成することができる。マスク60の厚さは、次の酸素イオンのイオン注入時に酸素イオンを半導体基板10に到達させない厚さであればよく、例えば1μm程度である。

【0034】次いで、半導体基板10の表面に酸素イオンのイオン注入を行う。イオン注入の条件は特に限定されるものではないが、例えば200keV、 $1 \times 10^{18} / \text{cm}^2$ とすることができる。マスク60を形成した半導体基板10にイオン注入を行うことによって、マスク60で被覆された半導体基板10にはイオン注入が施されず、開口部61の底部に露出した半導体基板10にのみ酸素イオンが注入され、半導体基板10のチャンネル領域形成予定領域の下方にのみ酸素注入層11Aが形成される。具体的には、半導体基板10の表面から深さ40乃至120nm程度の所に、この酸素注入層11Aが形成される（図2の（B）参照）。

【0035】その後、半導体基板10をアニール処理する。アニール処理は、例えば1260°Cとすることができる。尚、マスク60はアニール処理の前、あるいはアニール処理の後に除去する。これによって、酸素注入層11Aが埋め込み型の二酸化シリコンから成る絶縁層11に変化する（図2の（C）参照）。絶縁層11の上方には半導体層12が残される。半導体層12の厚さは概ね30乃至100nmである。こうして、シリコン基板から成る半導体基板10のチャンネル領域形成予定領域の下方にのみSIMOX法によって絶縁層11が形成される。

【0036】〔工程-110〕次に、図2の（D）に示すように、例えば通常を選択酸化法（LOCOS法）によって素子分離領域13を形成する。

【0037】〔工程-120〕その後、熱酸化法等の従来の方法に基づき半導体基板10の表面にSiO₂から成るゲート酸化膜21を形成し、更に、チャンネル領域形成予定領域の上方に、ポリシリコンやシリサイド、ポリサイド、金属等から成るゲート電極22を形成する。これによって、ゲート酸化膜21及びゲート電極22から構成されたゲート電極領域20が形成される。次いで、LDD構造を形成するためのイオン注入を行い、全面にSiO₂から成る絶縁膜を堆積させた後、かかる絶縁膜をエッチバックすることによってゲート電極領域20の側壁にSiO₂から成るゲートサイドウォール23を形成する（図3の（A）参照）。

【0038】〔工程-130〕次に、半導体基板10のソース領域形成予定領域及びドレイン領域形成予定領域

にイオン注入を施し、ソース領域31及びドレイン領域32を形成する。一方、ゲート電極領域20直下の半導体層12にはチャネル領域30が形成される。こうして図1に示した実施例1のMIS型トランジスタが作製される。ソース領域31及びドレイン領域32を形成するためのイオン注入の条件を以下に例示する。

N型チャネル形成の場合

ドーパント : Asイオン

加速電圧 : 20keV

ドーズ量 : $3 \times 10^{15} / \text{cm}^2$

P型チャネル形成の場合

ドーパント : BF₂イオン

加速電圧 : 30keV

ドーズ量 : $4 \times 10^{15} / \text{cm}^2$

【0039】[工程-140]その後、例えばSiO₂から成る層間絶縁層40を例えばCVD法にて全面に形成し、ソース領域31及びドレイン領域32の上方の層間絶縁層40にフォトリソグラフィ技術及びドライエッチング技術に基づき開口部41を形成する(図3の(B)参照)。尚、層間絶縁層としては、SiO₂以外にも、BPSG、PSG、BSG、AsSG、PbSG、SbSG、SOG、SiONあるいはSiN等の公知の絶縁材料、あるいはこれらの絶縁層を積層したものから構成することができる。

【0040】次いで、例えばスパッタ法にてTi層/TiN層(図示せず)を順に開口部41内を含む層間絶縁層40上に堆積させる。Ti層は次に形成する金属配線材料層とソース領域31やドレイン領域32との間のコンタクト抵抗を減ずる目的で形成する。また、TiN層は、金属配線材料層がソース領域31やドレイン領域32に突き抜けることを防止するバリアメタルとしての機能を有する。その後、例えばスパッタ法にてアルミニウム系合金から成る金属配線材料層42を開口部41内を含む層間絶縁層40上に堆積させる(図3の(C)参照)。その後、層間絶縁層40上に堆積した金属配線材料層42、Ti層/TiN層を所望のパターンにパターニングする。アルミニウム系合金には、純Al、あるいはAl-Si、Al-Cu、Al-Si-Cu、Al-Ge等のアルミニウム合金が含まれる。

【0041】タングステンから成る金属配線材料層を所謂ブランケットタングステンCVD法や選択タングステンCVD法にて形成することもできる。ブランケットタングステンCVD法によるタングステンの形成条件を以下に例示する。

使用ガス : WF₆/H₂/N₂/Ar = 75/500/300/2200sccm

温度 : 450°C

圧力 : $1.1 \times 10^4 \text{ Pa}$

膜厚 : 0.4μm

一方、選択タングステンCVD法によるタングステンの

形成条件を以下に例示する。

使用ガス : WF₆/H₂/Ar = 10/1000/25sccm

温度 : 260°C

圧力 : 27Pa

膜厚 : 0.15μm

【0042】(実施例2)実施例2は実施例1の変形である。実施例1においては、絶縁層11がチャネル領域の下方にのみ形成されていたが、実施例2においては、図4の(A)に模式的な一部断面図を示すように、絶縁層11はソース領域31の一部にまで更に延びている。尚、ソース領域31の一部にまで延びた絶縁層11の部分を図4の(A)では11Aで示す。絶縁層11はソース領域31の全面に延びてはいない。その他の構造は実施例1と同様であり、詳細な説明は省略する。

【0043】絶縁層11をソース領域31の一部にまで延ばすことによって、絶縁層11をチャネル領域の下方にのみ形成する場合と比較して、チャネル領域30の熱発散は若干犠牲になる。また、チャネル内マジョリティーキャリアは、チャネル領域30からpn接合を越えてソース領域31に抜ける必要が生じるので、チャネル内マジョリティーキャリアの排出性が若干犠牲になる。しかしながら、チャネル領域30とソース領域31は絶縁層11の上方の僅かな部分で接しているだけなので、空乏層容量C_Dを一層低減することができる。

【0044】実施例2のMIS型トランジスタの作製方法は、実施例1の[工程-100]において、チャネル領域形成予定領域に相当する半導体基板10の表面、及びソース領域形成予定領域に相当する半導体基板10の表面の一部に、マスク60の開口部61を形成する点を除き、実施例1のMIS型トランジスタの作製方法と実質的に同様とすることができるので、詳細な説明は省略する。

【0045】(実施例3)実施例3も実施例1の変形である。実施例1においては、絶縁層11がチャネル領域の下方にのみ形成されていたが、実施例3においては、図4の(B)に模式的な一部断面図を示すように、絶縁層11はドレイン領域32の一部にまで更に延びている。尚、ドレイン領域32の一部にまで延びた絶縁層11の部分を図4の(B)では11Bで示す。絶縁層11はドレイン領域32の全面に延びてはいない。その他の構造は実施例1と同様であり、詳細な説明は省略する。

【0046】絶縁層11をドレイン領域32の一部にまで延ばすことによって、絶縁層11をチャネル領域の下方にのみ形成する場合と比較して、チャネル領域30の熱発散は若干犠牲になる。しかしながら、チャネル領域30とドレイン領域32は絶縁層11の上方の僅かな部分で接しているだけなので、空乏層容量C_Dを一層低減することができる。

【0047】実施例3のMIS型トランジスタの作製方

法は、実施例1の〔工程－100〕において、チャンネル領域形成予定領域に相当する半導体基板10の表面、及びドレイン領域形成予定領域に相当する半導体基板10の表面の一部に、マスク60の開口部61を形成する点を除き、実施例1のMIS型トランジスタの作製方法と実質的に同様とすることができるので、詳細な説明は省略する。

【0048】（実施例4）実施例4も実施例1の変形である。実施例4においては、図4の（C）に模式的な一部断面図を示すように、絶縁層11はソース領域31及びドレイン領域32の一部にまで更に延びている。その他の構造は実施例1と同様であり、詳細な説明は省略する。尚、ソース領域31の一部にまで延びた絶縁層11の部分を図4の（C）では11Aで示し、ドレイン領域32の一部にまで延びた絶縁層11の部分を11Bで示す。

【0049】絶縁層11をソース領域31及びドレイン領域32の一部にまで延ばすことによって、チャンネル領域30とソース領域31及びドレイン領域32は、絶縁層11の上方の僅かな部分で接する。従って、絶縁層11をチャンネル領域の下方にのみ形成する場合と比較して、チャンネル領域30の熱発散は若干犠牲になるが、空乏層容量 C_D を一層低減することができる。

【0050】実施例4のMIS型トランジスタの作製方法は、実施例1の〔工程－100〕において、チャンネル領域形成予定領域に相当する半導体基板10の表面、並びにソース領域形成予定領域及びドレイン領域形成予定領域に相当する半導体基板10の表面の一部に、マスク60の開口部61を形成する点を除き、実施例1のMIS型トランジスタの作製方法と実質的に同様とすることができるので、詳細な説明は省略する。

【0051】（実施例5）実施例5のMIS型トランジスタにおいては、図5に模式的な一部断面図を示すように、ソース領域31とドレイン領域32との外縁領域並びにチャンネル領域30に、ソース領域31及びドレイン領域32の導電型とは反対の導電型を有する低抵抗領域31A、32A、30Aが形成されている。これらの低抵抗領域31A、32A、30Aを形成することによって、チャンネル内マジョリティキャリアの排出を一層効果的に行うことができる。

【0052】実施例5のMIS型トランジスタの作製方法は、〔工程－110〕と〔工程－120〕との間に以下の工程を加えることを除き、実施例1のMIS型トランジスタの作製方法と同様とすることができる。以下、実施例1の〔工程－110〕と〔工程－120〕との間に加えるべき工程を、図6を参照して主に説明する。

【0053】〔工程－500〕先ず、予めウエル14が形成された実施例1の〔工程－100〕と同様に、シリコン基板から成る半導体基板10のチャンネル領域形成予定領域の下方にのみSIMOX法によって絶縁層11を

形成する。次に、実施例1の〔工程－110〕と同様に、素子分離領域13を形成する（図6の（A）参照）。

【0054】〔工程－510〕その後、ソース領域形成予定領域とドレイン領域形成予定領域との外縁領域並びにチャンネル領域形成予定領域に、ソース領域及びドレイン領域の導電型とは反対の導電型を有する低抵抗領域31A、32A、30Aを形成する。具体的には、全面にイオン注入を施し、これらの低抵抗領域を形成する。

（図6の（B）参照）。イオン注入の条件を以下に例示する。

N型チャンネル形成の場合

ドーパント : Bイオン

加速電圧 : 280keV

ドーズ量 : $4 \times 10^{12} / \text{cm}^2$

P型チャンネル形成の場合

ドーパント : Pイオン

加速電圧 : 350keV

ドーズ量 : $8 \times 10^{12} / \text{cm}^2$

【0055】〔工程－520〕次に、実施例1の〔工程－120〕と同様に、ゲート電極領域20、ゲートサイドウォール23を形成し、更に、半導体基板10のソース領域形成予定領域及びドレイン領域形成予定領域に例えばイオン注入を施し、ソース領域形成予定領域及びドレイン領域形成予定領域に、ソース領域31及びドレイン領域32を形成する。一方、ゲート電極領域20の直下の半導体層12にはチャンネル領域30が形成される。こうして図5に示した実施例5のMIS型トランジスタが作製される。イオン注入の条件を以下に例示する。

N型チャンネル形成の場合

ドーパント : Asイオン

加速電圧 : 20keV

ドーズ量 : $3 \times 10^{15} / \text{cm}^2$

P型チャンネル形成の場合

ドーパント : BF_2 イオン

加速電圧 : 30keV

ドーズ量 : $4 \times 10^{15} / \text{cm}^2$

【0056】〔工程－530〕その後、実施例1の〔工程－140〕と同様に、層間絶縁層40、開口部41、Ti層/TiN層、金属配線材料層42を形成し（図6の（C）参照）、次いで金属配線材料層42、Ti層/TiN層を所望のパターンにパターンニングする。

【0057】尚、実施例5で説明した絶縁層11を、実施例2、実施例3、実施例4にて説明した形態、即ち、絶縁層を、ソース領域の一部にまで更に延ばし、ドレイン領域の一部にまで更に延ばし、更には、ソース領域の一部及びドレイン領域の一部にまで更に延ばしてもよい。

【0058】（実施例6）実施例6～実施例8で説明するMIS型トランジスタは、本発明の第1の態様に係る

MIS型トランジスタであり、基本的には、本発明の第2の態様に係るMIS型トランジスタの作製方法によって作製される。

【0059】実施例6のMIS型トランジスタの模式的な一部断面図を図7に示す。実施例6のMIS型トランジスタは半導体基板10の表面に形成されており、チャネル領域30の下方にのみ半絶縁層51が形成されている。半絶縁層51は、酸素やバナジウム等の深い準位を形成する不純物が大量に（例えば 10^{18} 乃至 $10^{20}/\text{cm}^3$ 程度に）ドーパされたシリコンから成る。

【0060】MIS型トランジスタは、更に、半導体基板10の表面に形成された薄いゲート酸化膜21及びゲート電極22から成るゲート電極領域20、ゲート電極領域20の一方の側に形成されたソース領域31、並びにゲート電極領域20の他方の側に形成されたドレイン領域32から構成されている。ソース領域31及びドレイン領域32は、ドナー又はアクセプターを大量に（深い準位を形成する上述の不純物の濃度以上に）半絶縁層51にドーパすることによって形成することができる。

【0061】実施例6においては、半絶縁層51は、ソース領域31及びドレイン領域32には延びていない。ソース領域31から注入されたキャリアは、ゲート電極領域20の下方のチャネル領域30を通過し、ドレイン領域32に到達する。ドレイン領域32に到達するキャリアは、通常ゲート電極領域20に印加されるゲート電圧によって制御される。

【0062】以下、半導体基板等の模式的な一部断面図である図8を参照して、実施例6のMIS型トランジスタの作製方法を説明する。

【0063】〔工程-600〕まず、予めウエル14が形成されたシリコン基板から成る半導体基板10の基板上に半絶縁層51を形成し、更にその上に厚さ50乃至200nm程度の半導体層52を形成する（図8の

(A)参照）。半絶縁層51は、酸素やバナジウム等の深い準位を形成する不純物が大量にドーパされたシリコンから成る。一方、半導体層52はシリコンから成る。半絶縁層51は、シリコンのエピタキシャル成長中に、酸素やバナジウム等の深い準位を形成する不純物を 10^{18} 乃至 $10^{20}/\text{cm}^3$ 程度ドーパすることによって形成することができる。その後、シリコンのエピタキシャル成長によって、半導体絶縁層51の上に半導体層52を形成する。

【0064】尚、マスクを設けることによって、半絶縁層51をチャネル領域形成予定領域の下方にのみ選択的に形成してもよい。あるいは又、半導体基板に不純物をドーパする別の形態として、酸素イオン等を半導体基板10にイオン注入することもでき、これによって、半導体基板10の表面から所定の深さの所に半絶縁層51を形成することもできる。一方、半絶縁層51の上には所定の厚さを有する半導体層52が形成される。

【0065】〔工程-610〕次に、例えば通常の選択酸化法（LOCOS）によって素子分離領域13を形成する。

【0066】〔工程-620〕その後、熱酸化法等の従来の方法に基づき半導体基板10の表面に SiO_2 から成るゲート酸化膜21を形成し、更に、チャネル領域形成予定領域の上方に、ポリシリコンやシリサイド、ポリサイド、金属等から成るゲート電極22を形成する。これによって、ゲート酸化膜21及びゲート電極22から構成されたゲート電極領域20が形成される。その後、実施例1の〔工程-120〕と同様にLDD構造を形成する（図8の（B）参照）。

【0067】〔工程-630〕次に、半導体基板10のソース領域形成予定領域及びドレイン領域形成予定領域にイオン注入を施し、ソース領域31及びドレイン領域32を形成する。一方、ゲート電極領域20の直下の半導体層12にはチャネル領域30が形成される。こうして図7に示した実施例6のMIS型トランジスタが作製される。尚、ソース領域形成予定領域及びドレイン領域形成予定領域において、〔工程-600〕にて形成された半絶縁層51を導電層とするために、言い換えれば、ソース領域31及びドレイン領域32を形成するために、ドナー又はアクセプターを大量（〔工程-600〕にて形成された半絶縁層51における不純物の濃度以上に）半絶縁層51にドーパする必要がある。イオン注入の条件を以下に例示する。

N型チャネル形成の場合

ドーパント : Asイオン

加速電圧 : 20keV

ドーパ量 : $3 \times 10^{15}/\text{cm}^2$

P型チャネル形成の場合

ドーパント : BF_2 イオン

加速電圧 : 30keV

ドーパ量 : $4 \times 10^{15}/\text{cm}^2$

【0068】〔工程-640〕その後、実施例1の〔工程-140〕と同様に、層間絶縁層40、開口部41、Ti層/TiN層、金属配線材料層42を形成し（図8の（C）参照）、次いで金属配線材料層42、Ti層/TiN層を所望のパターンにパターニングする。

【0069】（実施例7）実施例6にて説明した半絶縁層51は、チャネル領域30の下方にのみ半絶縁層51が形成されている。この半絶縁層51を、実施例2にて説明したと同様に、ソース領域31の一部にまで延ばすことができ、また、実施例3にて説明したと同様に、ドレイン領域の一部にまで延ばすことができ、更には、実施例4にて説明したと同様に、ソース領域の一部及びドレイン領域の一部にまで延ばすことができる。

【0070】例えば、半絶縁層51を、実施例2にて説明したと同様にソース領域31の一部にまで延ばす場合には、実施例6の〔工程-600〕と同様に、半導体基

板10の上に半絶縁層51及び半導体層52を形成する。また、半導体基板10のソース領域形成予定領域及びドレイン領域形成予定領域にイオン注入を施し、ソース領域31及びドレイン領域32を形成する際、ソース領域形成予定領域及びドレイン領域形成予定領域へのイオン注入は実施例6の〔工程-630〕と同様とすればよい。一方、半絶縁層を延ばすべきソース領域形成予定領域の部分へのイオン注入は、実施例6の〔工程-630〕にて説明したイオン注入条件よりも加速電圧及びドーズ量を下げた条件で実施する。これによって、半絶縁層を延ばすべきソース領域形成予定領域の部分には半絶縁層51が残される。

【0071】半絶縁層51を、ドレイン領域の一部にまで延ばす場合、あるいは又、ソース領域の一部及びドレイン領域の一部にまで延ばす場合も、実質的には上述した方法と同様の方法で半絶縁層51、ソース領域31、ドレイン領域32を形成することができる。

【0072】(実施例8) 実施例6の変形である実施例8のMIS型トランジスタにおいては、実施例5と同様に、ソース領域31及びドレイン領域32の外縁領域並びにチャネル領域30に、ソース領域31及びドレイン領域32の導電型とは反対の導電型を有する低抵抗領域が形成されている。これらの低抵抗領域を形成することによって、チャネル内マジョリティーキャリアの排出を一層効果的に行うことができる。

【0073】実施例8のMIS型トランジスタの作製方法は、〔工程-610〕と〔工程-620〕との間に、実施例5の〔工程-510〕と同様の工程を加えることを除き、実施例6のMIS型トランジスタの作製方法と同様とすることができる。

【0074】(実施例9) 実施例9のMIS型トランジスタの模式的な一部断面図を図9に示す。実施例9のMIS型トランジスタは、本発明の第2の態様に係るMIS型トランジスタである。このMIS型トランジスタは、半導体基板10の表面に形成されており、ソース領域31及びドレイン領域32の下方にのみ絶縁層71が形成されている。絶縁層71は SiO_2 から成る。例えばゲート長0.35 μm のMISFETの場合、絶縁層71は、半導体基板10の表面から深さ40乃至120nmの所に形成されていることが好ましい。実施例9においては、絶縁層71は、チャネル領域30には延びていない。

【0075】MIS型トランジスタは、更に、半導体基板10の表面に形成された薄いゲート酸化膜21及びゲート電極22から成るゲート電極領域20、及び SiO_2 から成りLDD構造を構成するゲートサイドウォール23から構成されている。

【0076】以下、半導体基板等の模式的な一部断面図である図10及び図11を参照して、実施例9のMIS型トランジスタの作製方法を説明する。このMIS型ト

ランジスタの作製方法は、基本的には、本発明の第3の態様のMIS型トランジスタの作製方法である。

【0077】〔工程-900〕 先ず、予めウエル14が形成されたシリコン基板から成る半導体基板10のソース領域形成予定領域及びドレイン領域形成予定領域の下方にのみSIMOX法によって絶縁層71を形成する。そのために、半導体基板10の表面に、通常のフォトリソグラフィ技術によってマスク60を形成する(図10の(A)参照)。マスク60には開口部61が形成されており、この開口部61は半導体基板10のソース領域形成予定領域及びドレイン領域形成予定領域に相当する部分の上に形成されている。マスク60は、熱酸化法やCVD法にて形成された二酸化シリコン、窒化シリコン、ポリシリコン等から構成することができる。マスク60の厚さは例えば1 μm 程度である。

【0078】次いで、半導体基板10の表面に酸素イオンのイオン注入を行う。イオン注入の条件は特に限定されるものではないが、例えば200keV、 $1 \times 10^{18}/\text{cm}^2$ とすることができる。マスク60を形成した半導体基板10にイオン注入を行うことによって、マスク60で被覆された半導体基板10にはイオン注入が施されず、開口部61の底部に露出した半導体基板10にのみ酸素イオンが注入され、半導体基板10のチャネル領域形成予定領域の下方にのみ酸素注入層71Aが形成される。具体的には、半導体基板10の表面から深さ40乃至120nm程度の所、例えば100nmの所に、この酸素注入層71Aが形成される(図10の(B)参照)。

【0079】その後、半導体基板10をアニール処理する。アニール処理は、例えば1260°Cとすることができる。尚、マスク60はアニール処理の前、あるいはアニール処理の後に除去する。これによって、酸素注入層71Aが埋め込み型の二酸化シリコンから成る絶縁層71に変化する(図10の(C)参照)。絶縁層71の上方には半導体層72が残される。半導体層72の厚さは概ね40乃至120nm、例えば100nmである。こうして、シリコン基板から成る半導体基板10のソース領域形成予定領域及びドレイン領域形成予定領域の下方にのみSIMOX法によって絶縁層71が形成される。

【0080】〔工程-910〕 次に、図10の(D)に示すように、例えば通常の選択酸化法(LOCOS法)によって素子分離領域13を形成する。

【0081】〔工程-920〕 その後、熱酸化法等の従来の方法に基づき半導体基板10の表面に SiO_2 から成るゲート酸化膜21を形成し、更に、チャネル領域形成予定領域の上方に、ポリシリコンやシリサイド、ポリサイド、金属等から成るゲート電極22を形成する。これによって、ゲート酸化膜21及びゲート電極22から構成されたゲート電極領域20が形成される。次いで、

LDD構造を形成するためのイオン注入を行い、全面に SiO_2 から成る絶縁膜を堆積させた後、かかる絶縁膜をエッチバックすることによってゲート電極領域20の側壁に SiO_2 から成るゲートサイドウォール23を形成する(図11の(A)参照)。

【0082】[工程-930]次に、半導体基板10のソース領域形成予定領域及びドレイン領域形成予定領域にイオン注入を施し、ソース領域31及びドレイン領域32を形成する。一方、ゲート電極領域20直下の半導体層12にはチャンネル領域30が形成される。こうして図9に示した実施例9のMIS型トランジスタが作製される。イオン注入の条件を以下に例示する。

N型チャンネル形成の場合

ドーパント : Asイオン

加速電圧 : 20keV

ドーズ量 : $3 \times 10^{15} / \text{cm}^2$

P型チャンネル形成の場合

ドーパント : BF_2 イオン

加速電圧 : 30keV

ドーズ量 : $4 \times 10^{15} / \text{cm}^2$

【0083】[工程-940]その後、実施例1の[工程-140]と同様に、層間絶縁層40、開口部41、Ti層/TiN層、金属配線材料層42を形成し(図11の(B)参照)、次いで金属配線材料層42、Ti層/TiN層を所望のパターンにパターニングする。

【0084】尚、ソース領域31の下方に形成された絶縁層71をチャンネル領域30の一部にまで更に延ばしてもよいし、あるいは又、ドレイン領域32の下方に形成された絶縁層71をチャンネル領域30の一部にまで更に延ばしてもよいし、更には、ソース領域31及びドレイン領域32の下方に形成された絶縁層71をチャンネル領域30の一部にまで更に延ばしてもよい。このようなMIS型トランジスタの作製方法は、実施例9の[工程-900]において、マスク60の開口部61を形成する領域を変える点を除き、実施例9のMIS型トランジスタの作製方法と実質的に同様とすることができるので、詳細な説明は省略する。

【0085】以上、本発明を好ましい実施例に基づき説明したが、本発明はこれらの実施例に限定されるものではない。実施例にて説明した各種条件は例示であり、適宜変更することができる。配線構造の形成に用いた材料(Ti, TiN, アルミニウム系合金、タングステン等)も、公知の各種材料に置き換えることができる。

【0086】素子分離領域の形成と絶縁層若しくは半絶縁層の形成順序を、場合によっては逆にしてもよい。

【0087】更には、例えば、実施例1において、絶縁層11を形成する際、同時に素子分離領域13を形成することもできる。この場合には、半導体基板10の表面に、通常の写真リソグラフィ技術によってマスク60を形成する(図12の(A)参照)。マスク60には開

口部61が形成されており、この開口部61はチャンネル領域形成予定領域に相当する半導体基板10の表面に形成されている。また、素子分離領域形成予定領域上のマスク60の部分60Aの厚さは、ソース領域形成予定領域上及びドレイン領域形成予定領域上のマスク60の厚さより薄くする。次いで、半導体基板10の表面に酸素イオンのイオン注入を施す。

【0088】マスク60を形成した半導体基板10にイオン注入を行うことによって、マスク60で被覆された半導体基板10のソース領域形成予定領域及びドレイン領域形成予定領域にはイオン注入が施されない。開口部61の底部に露出した半導体基板10には酸素イオンが注入され、半導体基板10のチャンネル領域形成予定領域の下方に酸素注入層11Aが形成される。また、マスク60で被覆された半導体基板10の素子分離領域形成予定領域においては、半導体基板10の浅い領域にイオン注入が施され、酸素注入層13Aが形成される(図12の(B)参照)。

【0089】その後、半導体基板10をアニール処理する。アニール処理は、例えば 1260°C とすることができる。尚、マスク60はアニール処理の前、あるいはアニール処理の後に除去する。これによって、酸素注入層11Aが埋め込み型の二酸化シリコンから成る絶縁層11に変化する(図12の(C)参照)。絶縁層11の上方には半導体層12が残される。一方、素子分離領域形成予定領域における酸素注入層13Aが二酸化シリコンから成る素子分離領域13に変化する(図12の(C)参照)。

【0090】こうして、シリコン基板から成る半導体基板10のチャンネル領域形成予定領域の下方にのみSIMOX法によって絶縁層11が形成される。また、同時に素子分離領域13が形成される。

【0091】

【発明の効果】本発明の第1の態様に係るMIS型トランジスタにおいては、通常のMIS型トランジスタでパンチスルー現象が発生するチャンネル領域の部分に絶縁層又は半絶縁層が形成されているので、チャンネル領域の深部に流れる電流を抑制することができ、その結果、パンチスルー特性を向上させることができる。また、チャンネル領域の下方に形成された絶縁層又は半絶縁層にキャリアが侵入することがなく、その結果、チャンネル領域の下における空乏層幅が広くなり、空乏層容量が減少し、サブスレッショルド特性の向上を図ることができる。

【0092】しかも、キャリアの移動、侵入を妨げる絶縁層又は半絶縁層は概ねチャンネル領域の下方に存在しているだけであるため、熱やチャンネル内マジョリティキャリアはソース領域若しくはドレイン領域を介して半導体基板に流れ込む。

【0093】本発明の第2の態様に係るMIS型トランジスタにおいても、接合容量(寄生容量)の低減によっ

て、MIS型トランジスタの動作速度の高速化を図ることができ、しかも低電圧動作が可能になる。また、ソース・ドレイン領域において浅い接合を容易に形成することができ、しかも接合リーク電流の減少を図ることができる。更には、SOI構造で問題となる寄生バイポーラ効果を抑制することができる。

【図面の簡単な説明】

【図1】実施例1のMIS型トランジスタの模式的な一部断面図である。

【図2】実施例1のMIS型トランジスタの作製方法を説明するための半導体基板等の模式的な一部断面図である。

【図3】図2に引き続き、実施例1のMIS型トランジスタの作製方法を説明するための半導体基板等の模式的な一部断面図である。

【図4】実施例2、実施例3及び実施例4のMIS型トランジスタの模式的な一部断面図である。

【図5】実施例5のMIS型トランジスタの模式的な一部断面図である。

【図6】実施例5のMIS型トランジスタの作製方法を説明するための半導体基板等の模式的な一部断面図である。

【図7】実施例6のMIS型トランジスタの模式的な一部断面図である。

【図8】実施例6のMIS型トランジスタの作製方法を説明するための半導体基板等の模式的な一部断面図である。

【図9】実施例9のMIS型トランジスタの模式的な一部断面図である。

【図10】実施例9のMIS型トランジスタの作製方法を説明するための半導体基板等の模式的な一部断面図である。

【図11】図10に引き続き、実施例9のMIS型トランジスタの作製方法を説明するための半導体基板等の模式的な一部断面図である。

ンジスタの作製方法を説明するための半導体基板等の模式的な一部断面図である。

【図12】絶縁層と素子分離領域を同時に形成する方法を説明するための半導体基板等の模式的な一部断面図である。

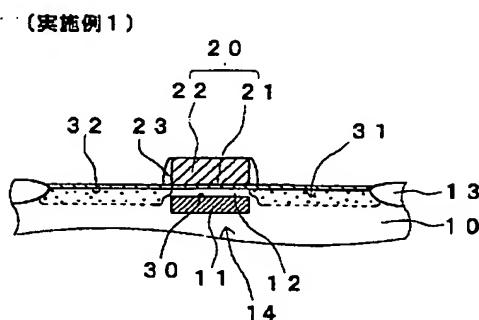
【図13】通常のMIS型トランジスタ及びSOI構造を有するMIS型トランジスタの構造の模式的な一部断面図である。

【図14】遅延時間とドレイン面積の関係を示す図である。

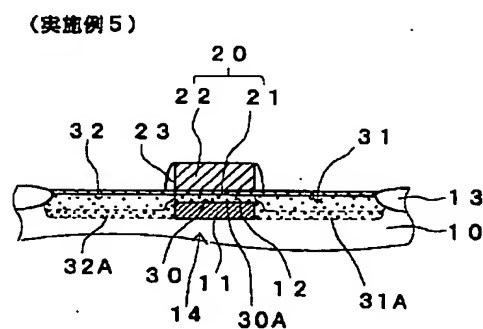
【符号の説明】

- 10 半導体基板
- 11, 71 絶縁層
- 11A 酸素注入層
- 12 半導体層
- 13 素子分離領域
- 20 ゲート電極領域
- 21 ゲート酸化膜
- 22 ゲート電極
- 23 ゲートサイドウォール
- 30 チャンネル領域
- 31 ソース領域
- 32 ドレイン領域
- 40 層間絶縁層
- 41 開口部
- 42 金属配線材料層
- 51 半絶縁層
- 52 半導体層
- 60 マスク
- 61 マスクに形成された開口部
- 80 絶縁層
- 81 半導体層

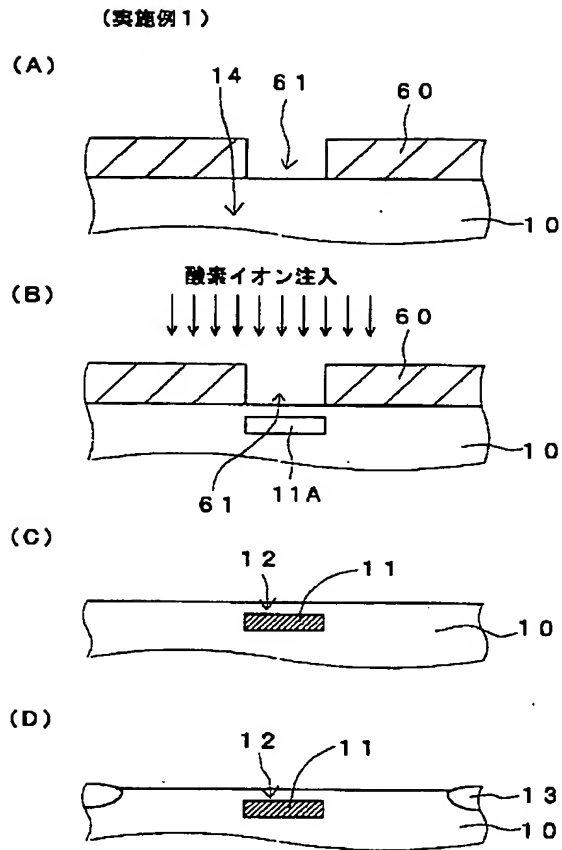
【図1】



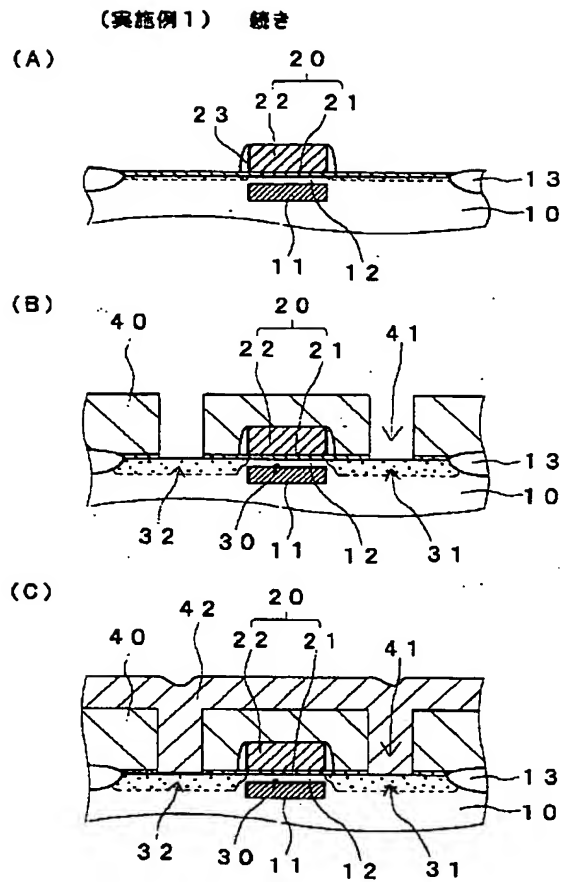
【図5】



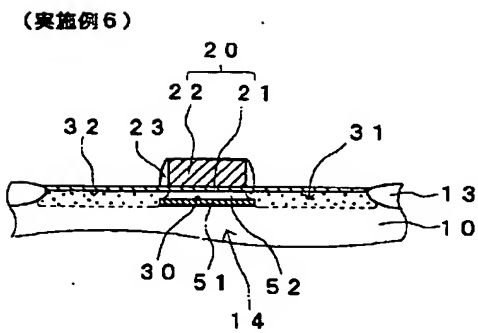
【図2】



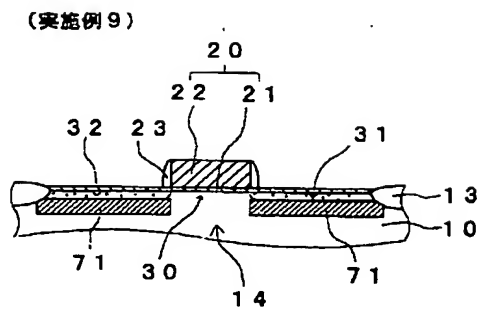
【図3】



【図7】

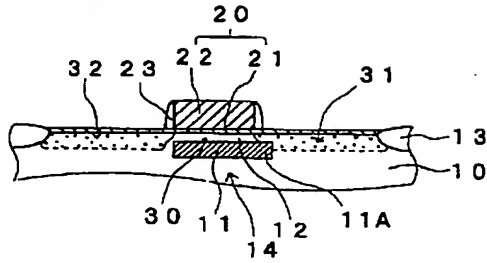


【図9】

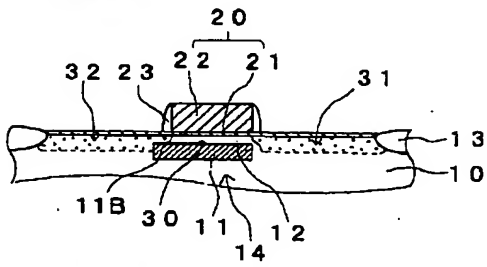


【図4】

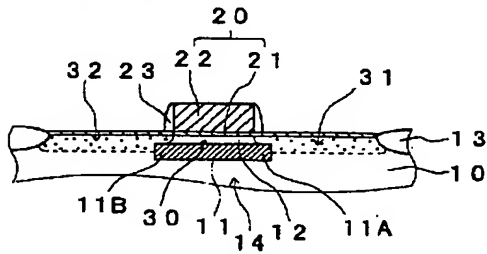
(A) (実施例2)



(B) (実施例3)

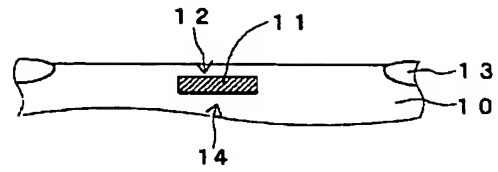


(C) (実施例4)

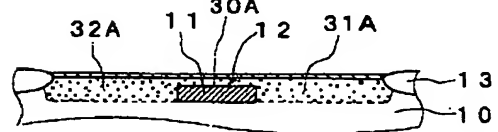


【図6】

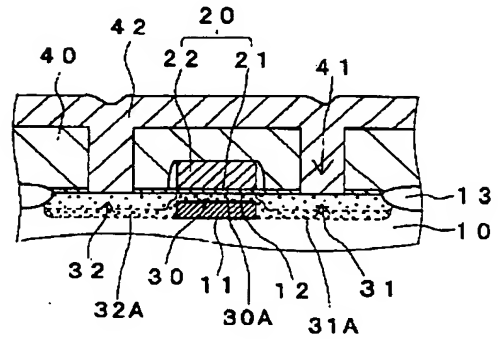
(A) (実施例5)



(B)



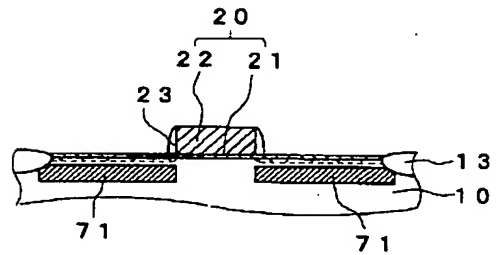
(C)



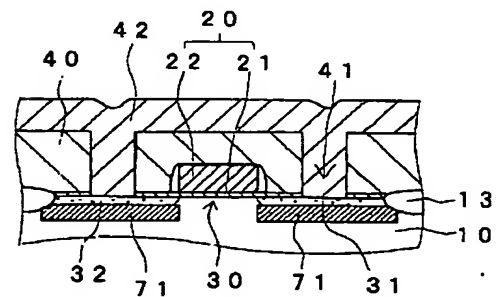
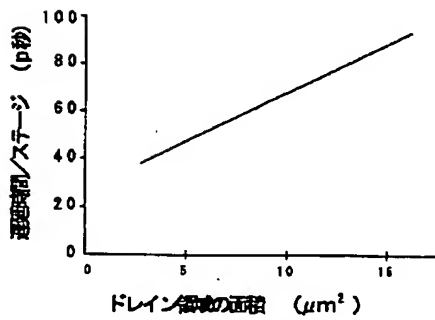
【図11】

(実施例9) 続き

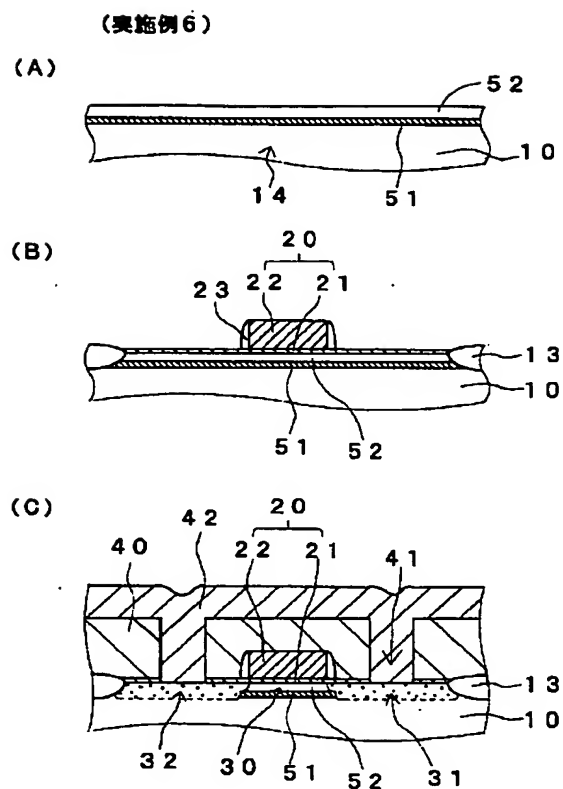
(A)



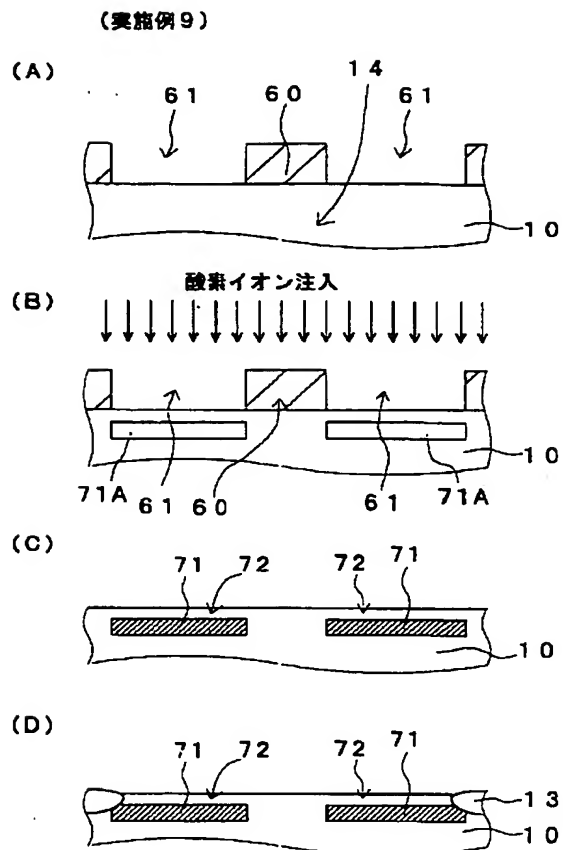
(B)

ドレイン領域の面積と
遅延時間の関係

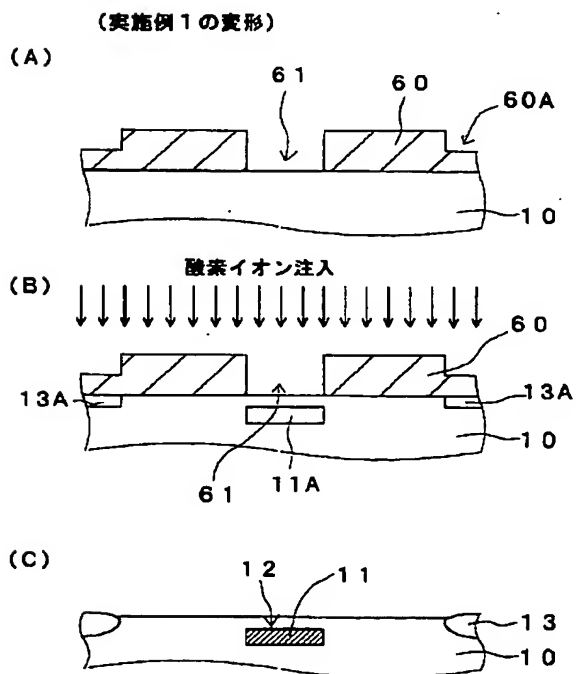
【図8】



【図10】

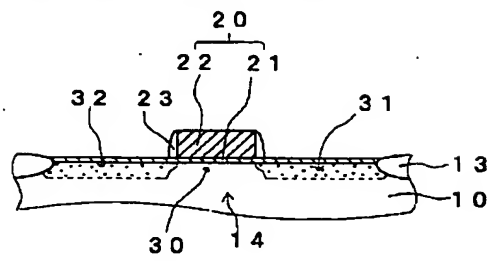


【図12】



【図13】

(A) (従来のMOS型トランジスタ)



(B)

(従来のSOI型トランジスタ)

